

07. 2. 2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 5 日
Date of Application:

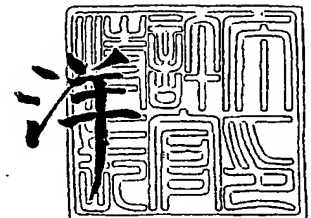
出 願 番 号 特 願 2 0 0 4 - 0 2 9 2 0 1
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 2 9 2 0 1]

出 願 人 イ ビ デ ン 株 式 会 社
Applicant(s):

2 0 0 5 年 3 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 112523
【あて先】 特許庁長官殿
【国際特許分類】 H05K 01/34
【発明者】
 【住所又は居所】 岐阜県揖斐郡揖斐川町北方 1-1 イビデン株式会社内
 【氏名】 稲垣 靖
【発明者】
 【住所又は居所】 岐阜県揖斐郡揖斐川町北方 1-1 イビデン株式会社内
 【氏名】 佐野 克幸
【特許出願人】
 【識別番号】 000000158
 【住所又は居所】 岐阜県大垣市神田町 2 丁目 1 番地
 【氏名又は名称】 イビデン株式会社
 【代表者】 岩田 義文
【代理人】
 【識別番号】 100095795
 【住所又は居所】 名古屋市中区栄 1 丁目 2 2 番 6 号
 【弁理士】
 【氏名又は名称】 田下 明人
【選任した代理人】
 【識別番号】 100098567
 【住所又は居所】 名古屋市中区栄 1 丁目 2 2 番 6 号
 【弁理士】
 【氏名又は名称】 加藤 壯祐
【手数料の表示】
 【予納台帳番号】 054874
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9401314

【書類名】 特許請求の範囲**【請求項 1】**

表裏の導体層と少なくとも 1 層以上の内層の導体層からなる多層コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して電氣的な接続の行われる多層プリント配線板において、

前記多層コア基板の電源用の導体層の厚みの和、もしくは、アース用の導体層の厚みの和のうち、少なくとも一方は、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板。

【請求項 2】

前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 3】

前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 4】

前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 5】

前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 6】

前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であり、

前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ とした時、 $\alpha 3$ と前記 $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 7】

前記多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 1$ と $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であり、

前記多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ とした時、 $\alpha 3$ と前記 $\alpha 2$ は、 $1.2 \alpha 2 \leq \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項 1 に記載の多層プリント配線板。

【請求項 8】

前記多層コア基板の表裏の導体層の厚みは、内層の導体層の厚みよりも薄いことを特徴とする請求項 1～請求項 7 のいずれか 1 に記載の多層プリント配線板。

【書類名】明細書

【発明の名称】多層プリント配線板

【技術分野】

【0001】

この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

【背景技術】

【0002】

ICチップ用のパッケージを構成するビルドアップ式多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトリソエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子(PGA/BGAなど)を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4(フリップチップ)実装を行うことにより、ICチップと基板との電氣的接続を行っている。

【0003】

ビルドアップ式多層プリント配線板の従来技術としては、特許文献1、特許文献2などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板を得られる。

【0004】

【特許文献1】特開平6-260756号公報

【特許文献2】特開平6-275959号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ICチップが高周波になるにつれて、誤動作やエラーの発生頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなってきている。5GHzを越えると全く動かなくなることもあった。そのために、該ICチップをCPUとして備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまった。

【0006】

それらのICチップ、基板をそれぞれ非破壊検査や分解したいところICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい(特に1GHz未満)ICチップを実装した場合には、誤動作やエラーの発生はなかった。その発生の原因を追求したところ、初期動作時におけるICの電圧効果が原因であることを判明した。

【0007】

本発明者らは、上述した課題を解決するために、特願2002-233775中に記載したようにコア基板上の導体厚の厚みを層間絶縁層上の導体層の厚みより厚くすることを提案した。しかしながら、上述した発明では、微細な配線パターンを有するコア基板を作製しようとする配線パターン間の絶縁間隔が狭くなり、絶縁信頼性に劣るプリント配線板となってしまった。本発明の目的とするところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生せず、絶縁信頼性が高いプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。

【課題を解決するための手段】**【0008】**

発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

本願発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、コア基板の電源用もしくはアース用の導体層の厚みの和の少なくとも一方は、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板にある。

【0009】

すなわち、コア基板を多層コア基板とし、表裏のみの導体層の厚みを厚くするのではなく、各導体層の和を厚くしたことにある。多層コア基板の場合、コア基板の表裏の導体層と内層の導体層をそれぞれ足した厚みが、ICへの電源供給やその安定化に寄与する厚みとなる。この場合、表層の導体層と内層の導体層とが電氣的な接続があり、かつ、2箇所以上での電氣的な接続があるものであるときに適用される。つまり、多層化して、多層コア基板の各導体層の厚みの和を厚くし、コアの導体層を電源用の導体層として用いることで、ICチップへの電源の供給能力が向上させることができる。また、コアの導体層をアース層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させたり、ICに電源を安定的に供給することができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。また、ノイズが低減されるため、誤動作やエラーを引き起こすことがない。

さらに、多層コア基板とすることで、多層コア基板の導体層の厚みの和を確保したまま、多層コア基板の各導体層の厚みを薄くすることができる。つまり、これにより、微細な配線パターンを形成しても、配線パターン間の絶縁間隔を確実に確保できるため、絶縁信頼性に高いプリント配線板を提供することも可能となる。

その他の効果として、コア基板の電源用もしくはアース用の導体層の厚みを厚くすることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

【0010】

また、ICチップ～基板～コンデンサもしくは電源層～電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減することができる。それ故に、コンデンサもしくは誘電体層の電源の供給に損失を起こさない。そもそもICチップは、瞬時的に電力を消費して、複雑な演算処理や動作が行われる。電源層からのICチップへの電力供給により、高周波領域のICチップを実装したとしても、初期動作における電源不足（電圧降下の発生という状況）に対して、大量のコンデンサを実装することなく、電源の供給をすることができる。そもそも高周波領域のICチップを用いるためには初期動作時の電源不足（電圧降下）が発生するが、従来のICチップでは供給されていたコンデンサもしくは誘電体層の容量で足りていた。

【0011】

特に、コア基板の電源層として用いられる導体層の厚みの和が、コア基板の片面もしくは両面上の層間絶縁層上の導体層の厚みより、厚いときに、上記の効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、コア基板上に形成された層間絶縁層上の導体層であって、例えば、絶縁層の中に心材を含浸されていない樹脂で形成された層間樹脂絶縁層に、層間を接続させるための非貫通孔であるバイアホールを形成したもの、めっき、スパッタなどを経て形成された導体層を主として意味する。これ以外にも特に限定されないがバイアホールを形成されたものであれば、上記の導体層に該当する。

【0012】

コア基板の電源層は、基板の表層、内層もしくは、その両方に配置させてもよい。内層の場合は、2層以上に渡り多層化してもよい。基本的には、コア基板の電源用の導体層の和が、層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。ただ、内層に形成することが望ましい。内層に形成されるとICチップと外部端子もしくはコンデンサとの中間に電源層が配置される。そのため、双方の距離が均一であり、阻害原因が少なくなり、電源不足が抑えられるからである。

【0013】

また、本発明では、コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して、電気的な接続が行われる多層プリント配線板において、

多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 2 < \alpha 1 \leq 40\alpha 2$ であることを特徴とする多層プリント配線板にある。

【0014】

$\alpha 1 \leq \alpha 2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha 1 > 40\alpha 2$ を越えた場合についても検討を行ったが、基本的には電気特性は、 $40\alpha 2$ とほぼ同等である。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしても、電気的な効果の向上は望めない。ただ、この厚みを越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うランド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまうことがある。しかしながら、その範囲($\alpha 1 > 40\alpha 2$)でも問題がないときもある。

【0015】

多層コア基板の電源用の導体層の厚みの和の $\alpha 1$ は、 $1.2\alpha 2 \leq \alpha 1 \leq 40\alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足(電圧降下)によるICチップの誤動作やエラーなどが発生しないことが確認されている。

【0016】

この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に(電源用)導体層が設けられた基板、3層以上の多層化した導体層が形成された多層コア基板を用いたもの等をさす。

【0017】

多層コア基板の電源用の導体層の厚みの和を、厚くするために、金属を埋め込まれた基板上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。

【0018】

また、本発明では、コア基板上に層間絶縁層と導体層が形成されて、ビアホールを介して電気的な接続が行われる多層プリント配線板において、多層コア基板のアース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40\alpha 2$ であることを特徴とする多層プリント配線板にある。この範囲にすることで、ICチップへの信号電源に重畳するノイズを低減できる。また、ICへの電源供給を安定的に行うことが可能になる。さらに、 $1.2 < \alpha 3 \leq 40\alpha 2$ の範囲にするとその効果は増す。

【0019】

本願発明でのコア基板とは、以下のように定義される。芯材等が含浸された樹脂などの硬質基材であり、その両面もしくは片面に、芯材などを含まない絶縁樹脂層を用いて、フォトリソもしくはレーザによりビアホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、コア基板の厚みは、樹脂絶縁層の厚みよりも厚い。基本的には、コア基板は電源層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うためだけに形成されている。

【0020】

なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板であるならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

【0021】

更に、多層コア基板は、内層に相対的に厚い導体層を、表層に相対的に薄い導体層を有し、内層の導体層が、主として電源層用の導体層又はアース用の導体層であることが好適である。（相対的に厚い、薄いとは、全ての導体層の厚みを比較して、その傾向がある場合、この場合は、内層は他の導体層と比較すると相対的に厚いということとなり、表層はその逆であると言うことを示している。）但し、表層の導体層を電源用、または、アース用の導体層として用いてもよいし、一面を電源用の導体層、他面をアース用の導体層として用いてもよい。

即ち、内層側に厚い導体層を配置させることにより、その厚みを任意に変更したとしても、その内層の導体層を覆うように、樹脂層を形成させることが可能となるため、コアとしての平坦性が得られる。そのため、層間絶縁層の導体層にうねりを生じさせることがない。多層コア基板の表層に薄い導体層を配置しても、内層の導体層と足した厚みでコアの導体層として十分な導体層の厚みを確保することができる。これらを、電源層用の導体層又はアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

【0022】

多層コア基板にしたとき、内層の導体層は、導体層の厚みを相対的に厚くし、かつ、電源層として用いて、表層の導体層は、内層の導体層を挟むようにし、形成され、かつ、信号線として用いられている場合であることも望ましい。この構造により、前述の電源強化を図ることができる。

【0023】

さらに、コア基板内で導体層と導体層との間に信号線を配置することでマイクロストリップ構造を形成させることができるために、インダクタンスを低下させ、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができるのである。また、表層の導体層を相対的に薄くすることがさらに望ましい構造となるのである。コア基板は、スルーホールピッチを $600\mu\text{m}$ 以下にしてもよい。

【0024】

多層コア基板は、電気的に接続された金属板の両面に、樹脂層を介在させて内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層が形成されて成ることが好適である。中央部に電気的に隔絶された金属板を配置することで、十分な機械的強度を確保することができる。更に、金属板の両面に樹脂層を介在させて内層の導体層を、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

【0025】

図10は、縦軸にICチップへ供給される電圧、横軸には時間経過を示している。図10は、1GHz以上の高周波ICチップ電源用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップへの電圧の経時変化を示したものであり、線Bは、3GHzのICチップへの電圧の経時変化を示したものである。この図においては、スイッチをONしてから複数回発生する電圧降下の内、3回目の電圧降下を示している。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する（X点、X'点）。その後、供給する電源が徐々に充足されるので、電圧効果は解消される。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足（電圧降下）はICチップの周波数は増えるにつれて、大きくなっていく。その

ために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

【0026】

前述の電源不足（電圧降下）を補うために、外部のコンデンサと接続させて、該コンデンサ内に蓄積された電源を放出することにより、電源不足もしくは電圧降下を小さくすることができる。

図11には、コンデンサを備えたプリント基板をモデルにしたものである。線Cは、小容量のコンデンサを実装して、1GHzのICチップにおける電圧の経時変化を示したものである。コンデンサを実装していない線Aに比べると電圧降下の度合いが小さくなってきている。さらに、線Dは、線Cで行ったものに比べて大容量のコンデンサを実装して、線C同様に経時変化を示したものである。さらに線Cと比較しても、電圧降下の度合いが小さくなってきている。それにより、短時間で所望のICチップも機能、起動を行うことができるのである。しかしながら、図10に示したように、ICチップがより高周波領域になると、より多くのコンデンサ容量が必要になってしまい、そのためにコンデンサの実装する領域を設定する必要となるため、電圧の確保が困難になってしまい、動作、機能を向上することができないし、高密度化という点でも難しくなってしまう。

【0027】

多層コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚み $\alpha 2$ として、 $\alpha 1/\alpha 2$ を変えたときの電圧降下の様子を図12中のグラフに示す。図12中に、線Cは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = \alpha 2$ における電圧の経時変化を示している。また、線Fは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 1.5\alpha 2$ における電圧の経時変化を示し、線Eは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 2.0\alpha 2$ における電圧の経時変化を示している。コアの導体層の厚みの和が厚くなるにつれて、電源不足もしくは電圧降下が小さくなってきている。そのために、ICチップの機能、動作の不具合の発生が少なくなるということがいえる。コア基板の電源用の導体層の厚みの和を厚くすることにより、導体層の体積が増すことになる。体積が増すと導体抵抗が低減させるので、伝達される電源における電圧、電流への損失がなくなる。そのために、ICチップ～電源間での伝達損失が小さくなり、電源の供給が行われるので、誤動作やエラーなどを引き起こさない。この場合は、特に電源用の導体層の厚みの和による要因が大きく、コア基板における電源用の導体層の厚みの和を層間絶縁層上の導体層の厚みよりも厚くすることにより、その効果を奏する。

【0028】

さらに、コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板であっても、その効果は顕著に表れる。内蔵させることにより、ICチップとコンデンサもしくは誘電体層との距離を短くすることができる。そのために、ループインダクタンスを低減することができる。電源不足もしくは電圧降下を小さくすることができる。例えば、コンデンサや誘電体層を内蔵したコア基板においても、コアの基板の導体層および電源層の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減することができ、コンデンサを内蔵した基板の効果をいっそう発揮されるようになる。

【0029】

コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、本願の効果を奏される。

【発明の効果】

【0030】

本願発明により、ICチップ～基板～電源の導体における抵抗を低減させることができ、伝達損失が低減される。そのために、伝達される信号や電源が所望の能力が発揮される。そのために、ICチップの機能、動作などが正常に作動するために、誤作動やエラーが発生することがない。ICチップ～基板～アースの導体における抵抗を低減させることができ、信号線、電源線でのノイズの重量を軽減し、誤作動やエラーを防ぐことができる。

また、本願発明により、ICチップの初期起動時に発生する電源不足（電圧降下）の度合いを小さくすることもわかり、高周波領域のICチップ、特に3GHz以上のICチップを実装したとしても、問題なく起動することができることが分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

そして、コア基板が多層化して、導体層の厚みの和を厚くすることで、絶縁信頼性にも優れたプリント配線板とすることができる。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験（高温高湿バイアス試験）を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

【発明を実施するための最良の形態】

【0031】

(実施例1)

図1～図9を参照して本発明の実施例1に係る多層プリント配線板について説明する。

先ず、実施例1に係る多層プリント配線板10の構成について、図8、図9を参照して説明する。図8は、該多層プリント配線板10の断面図を、図9は、図8に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図8に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面側に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが形成されている。上側の導体層16Eは、アース用のプレーン層として形成され、下側の導体層16Pは、電源用のプレーン層として形成されている。電源用のプレーン層との接続は、スルーホールやバイアホールにより行われる。プレーン層は、片側だけの単層であっても、2層以上に配置したものでもよい。2層～4層で形成されることが望ましい。4層以上では電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。多層コア基板30の中央には、電気的に隔絶された金属板12が収容されている。（該金属板12は、心材としての役目も果たしているが、スルーホールやバイアホールなどどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。）該金属板12に、絶縁樹脂層14を介して表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが、更に、絶縁樹脂層18を介して表面側に導体回路34、導体層34Pが、裏面に導体回路34、導体層34Eが形成されている。多層コア基板30は、スルーホール36を介して表面側と裏面側との接続が取られている。

【0032】

多層コア基板30の表面の導体層34P、34Eの上には、バイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76

Dが形成されている。

【0033】

図9中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、ドータボード94のランド96へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

【0034】

実施例1の多層プリント配線板の製造工程

A. 層間樹脂絶縁層の樹脂フィルムの作製

ビスフェノールA型エポキシ樹脂（エポキシ当量455、油化シェルエポキシ社製エピコート1001）29重量部、クレゾールノボラック型エポキシ樹脂（エポキシ当量215、大日本インキ化学工業社製 エピクロンN-673）39重量部、トリアジン構造含有フェノールノボラック樹脂（フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKA-7052）30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム（ナガセ化成工業社製 デナレックスR-45EPT）15重量部と2-フェニル-4,5-ビス（ヒドロキシメチル）イミダゾール粉碎品1.5重量部、微粉砕シリカ2.5重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ38 μ mのPETフィルム上に乾燥後の厚さが50 μ mとなるようにロールコーターを用いて塗布した後、80～120℃で10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

【0035】

B. 樹脂充填材の調製

ビスフェノールF型エポキシモノマー（油化シェル社製、分子量：310、YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径が1.6 μ mで、最大粒子の直径が15 μ m以下のSiO₂球状粒子（アドテック社製、CRS 1101-CE）170重量部およびレベリング剤（サンノブコ社製 ペレノールS4）1.5重量部を容器にとり、攪拌混合することにより、その粘度が23 \pm 1℃で44～49 Pa \cdot sの樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤（四国化成社製、2E4MZ-CN）6.5重量部を用いた。充填材用樹脂としては、他のエポキシ樹脂（例えば、ビスフェノールA型、ノボラック型など）、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

【0036】

C. 多層プリント配線板の製造

図8に示す多層プリント配線板10の製造方法について図1～図7を参照して説明する。

(1) 金属層の形成

図1(A)に示す厚さ50～400 μ mの間の内層金属層（金属板）12に、表裏を買通する開口12aを設ける（図1(B)）。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されているものを用いることができる。ここで、低熱膨張係数の36合金や42合金を用いるとコア基板の熱膨張係数をICの熱膨張係数に近づけることが可能となるので、熱ストレスを低減できる。開口12aは、パンチング、エッチング、ドリリング、レーザなどによって穿設する。場合によっては、開口12aを形成した金属層12の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜13を被覆してもよい（図1(C)）。なお、金属板12は、単層でも、2層以上の複数層でもよい。また、金属膜13は、開口12aの角部において、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのクラックなどの不具合が引き起こしにくい。なお、金属板12はコア基板内に内蔵しなくてもよい。

【0037】

(2) 内層絶縁層の形成

金属層 12 の全体を覆い、開口 12 a 内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み $30 \sim 200 \mu\text{m}$ 程度の B ステージ状の樹脂フィルムを金属板 12 で挟んでから、熱圧着してから硬化させ絶縁樹脂層 14 を形成することができる (図 1 (D))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT 樹脂等の熱硬化性樹脂をガラスクロス、アラミド不織布等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。

【0038】

(3) 金属箔の貼り付け

樹脂層 14 で覆われた金属層 12 の両面に、内層金属層 16 α を形成させる (図 1 (E))。その一例として、厚み $12 \sim 275 \mu\text{m}$ の金属箔を積層させた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔を積層する方法以外に、片面銅貼り積層板を積層させる。金属箔上に、めっきなどで形成する。両面銅貼り積層板を出発材料に使用する方法がある。

【0039】

(4) 内層金属層の回路形成

2 層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンティング法、エッチング工程等を経て、内層金属層 16 α から内層導体層 16、16 P、16 E を形成させた (図 1 (F))。このときの内層導体層の厚みは、 $10 \sim 250 \mu\text{m}$ で形成させた。しかしながら、上述の範囲を超えてもよい。なお、本実施例では、内層の電源用の導体層の厚みは、 $25 \mu\text{m}$ 厚である。この回路形成工程において、コア基板の絶縁信頼性を評価できるよう、テストパターン (コア基板の絶縁抵抗評価用パターン) として、導体幅/導体間の間隔 = $150 \mu\text{m}/150 \mu\text{m}$ の絶縁抵抗測定用の櫛歯パターンを形成した。

【0040】

(5) 外層絶縁層の形成

内層導体層 16、16 P、16 E の全体を覆い、および外層金属その回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み $30 \sim 200 \mu\text{m}$ 程度の B ステージ状の樹脂フィルムを金属板で挟んでから、熱圧着してから硬化させ、外層絶縁樹脂層 18 を形成する (図 2 (A))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦にすることができる。また、ガラスクロス、アラミド不織布を心材とする B ステージのプリプレグを用いてもよい。

【0041】

(6) 最外層の金属箔の貼り付け

外層絶縁樹脂層 18 で覆われた基板の両面に、最外層の金属層 34 β を形成させる (図 2 (B))。その一例として、厚み $10 \sim 275 \mu\text{m}$ の金属箔を積層させる。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで 2 層以上にしてもよい。アディティブ法により金属層を形成してもよい。

【0042】

(7) スルーホール形成

基板の表裏を貫通する開口径 $50 \sim 400 \mu\text{m}$ のスルーホール用通孔 36 α を形成する (図 2 (C))。形成方法としては、ドリル、レーザもしくはレーザとドリルの複合により形成させる (最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる)。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。

【0043】

スルーホールの導電性を確保するために、スルーホール用通孔 36 α 内にめっき膜 22 を形成し、表面を粗化した後 (図 2 (D))、充填樹脂 23 を充填することが望ましい (図 2 (E))。充填樹脂としては、電気的な絶縁されている樹脂材料、(例えば 樹脂成分、硬化剤、粒子等が含有されているもの)、金属粒子による電気的な接続を行っている導電性材料 (例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。) のいずれかを用いることができる。充填後、仮乾燥して、基板表面の電解銅めっき膜 22 上に付着した余分な充填樹脂を研磨で除去し、150℃で1時間乾燥し、完全硬化した。

めっきとしては、電解めっき、無電解めっき、パネルめっき (無電解めっきと電解めっき) などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有してももので形成されるのである。めっき金属の厚みとしては、5～30 μm の間で形成されることが望ましい。

【0044】

スルーホール用通孔 36 α 内に充填する充填樹脂 23 は、樹脂材料、硬化剤、粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が 0.1～5 μm のものを同一径もしくは、複合径のもの混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂 (例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹脂など)、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが単一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。導電性材料を用いてもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものなどを用いてもよい。めっきでスルーホール用通孔 36 α 内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。

【0045】

(8) 最外層の導体回路の形成

全体にめっき膜を被覆することで、スルーホール 36 の直上に蓋めっき 25 を形成してもよい (図 3 (A))。その後、テンティング法、エッチング工程等を経て、外層の導体回路 34、34 P、34 E を形成する (図 3 (B))。これにより、多層コア基板 30 を完成する。なお、本実施例では、多層コア基板の表面の電源用の導体層の厚みは、15 μm 厚である。

このとき、図示されていないが多層コア基板の内層の導体層 16 等との電気接続を、バイアホールやブラインドスルーホール、ブラインドバイアホールにより行ってもよい。

【0046】

(9) 導体回路 34 を形成した多層コア基板 30 を黒化処理、および、還元処理を行い、導体回路 34、導体層 34 P、34 E の全表面に粗化面 34 β を形成する (図 3 (C))。

【0047】

(10) 多層コア基板 30 の導体回路非形成部に樹脂充填材 40 の層を形成する (図 4 (A))。

【0048】

(11) 上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層 34 P、34 E の外縁部に樹脂充填材 40 が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層 34 P、34 E の全表面 (スルーホールのランド表面を含む) にバフ等でさらに研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で1時間、150℃で1時間の加熱処理を行って樹脂充填材 4

0を硬化した(図4(B))。これにより、4層の多層コア基板が完成した。
また、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

【0049】

(12) 上記多層コア基板30に、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面をエッチング等により、導体回路の全表面に粗化面36 α を形成した(図4(C))。

【0050】

(13) 多層コア基板30の両面に、層間樹脂絶縁層用樹脂フィルム50 γ を基板上に載置し、仮圧着して裁断した後、さらに、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(図5(A))。

【0051】

(14) 次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 μ mのCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅7.9 μ s、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層2に、直径80 μ mのバイアホール用開口50aを形成した(図5(B))。

【0052】

(15) 基板30を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50 α を形成した(図4(C))。粗化面は0.1~5 μ mの間で形成した。

【0053】

(16) 次に、上記処理を終えた基板30を、中和溶液(シプレイ社製)に浸漬してから水洗いした。さらに、粗面化処理(粗化深さ3 μ m)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。

【0054】

(17) 次に、無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.6~3.0 μ mの無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に無電解銅めっき膜52が形成された基板を得る(図4(D))。

無電解銅めっき液

硫酸銅: 0.03mol/l

EDTA: 0.200mol/l

HCHO: 0.18g/l

NaOH: 0.100mol/L

α 、 α' -ピピリジル: 100mg/l

ポリエチレングリコール: 0.10g/l

めっき条件

34℃の液温で40分

【0055】

(18) 無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、現像処理することにより、めっきレジスト54を設けた(図6(A))。なお、この層間絶縁層上の一部に、多層コア基板の導体厚により発生する層間絶縁層のうねりの影響を評価するために、めっき形成後の配線パターン(最小線間、線幅形成能力評価パターン)が導体幅/導体間の間隔=5/5 μ m、7.5/7.5 μ m、10/10 μ m、12.5/12.5 μ m、15/15となるようにめっきレジストを形成した。めっきレジストの厚みは、10~30 μ mの間を用いた。

【0056】

(19) ついで、基板30に電解めっきを施し、めっきレジスト54非形成部に、厚さ5~20 μ mの電解銅めっき膜56を形成した(図6(B))。なお、今回は以下のめっき

液と条件で行ない、 $20\mu\text{m}$ の電解めっき膜を得た。

〔電解めっき液〕

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤	19.5 ml/l

(アトテックジャパン社製、カパラシドGL)

〔電解めっき条件〕

電流密度	1 A/dm ²
時間	90±5 分
温度	22±2 °C

【0057】

(20) さらに、めっきレジストを5%程度のKOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(図6(C))。

【0058】

(21) ついで、上記(12)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58 α 、60 α を形成した。上層の導体回路58の厚みは5~25 μm で形成された。今回の厚みは20 μm の厚みであった(図6(D))。

【0059】

(22) 上記(14)~(21)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た(図7(A))。

【0060】

(23) 次に、多層配線基板の両面に、市販のソルダーレジスト組成物70を12~30 μm の厚さで塗布し、70°Cで20分間、70°Cで30分間の条件で乾燥処理を行った後(図7(B))、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μm の直径の開口71を形成した(図7(C))。

そして、さらに、80°Cで1時間、100°Cで1時間、120°Cで1時間、150°Cで3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが10~25 μm のソルダーレジストパターン層を形成した。

【0061】

(24) 次に、ソルダーレジスト層70を形成した基板を、無電解ニッケルめっき液に浸漬して、開口部71に厚さ5 μm のニッケルめっき層72を形成した。さらに、その基板を無電解金めっき液に浸漬して、ニッケルめっき層72上に、厚さ0.03 μm の金めっき層74を形成した(図7(D))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

【0062】

(25) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有する半田ペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有する半田ペーストを印刷した後、200°Cでリフローすることにより外部端子を形成し、はんだバンプを有する多層プリント配線板を製造した(図8)。

【0063】

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、外部端子76Dを介してドータボード94へ取り付ける(図9)。

【0064】

(実施例2)

図8を参照して上述した実施例1と同様であるが以下のように設定した。

4層コア基板の内層の電源用導体層の厚み: 15 μm

4層コア基板表層の電源用導体層の厚み: 9 μm

コア基板の電源用の導体層の厚みの和: $24\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0065】

(実施例3)

図8を参照して上述した実施例1と同様であるが以下のように設定した。

4層コア基板の内層の電源用導体層の厚み: $45\ \mu\text{m}$
4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$
コア基板の電源用の導体層の厚みの和: $60\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0066】

(実施例4)

図8を参照して上述した実施例1と同様であるが以下のように設定した。

4層コア基板の内層の電源用導体層の厚み: $65\ \mu\text{m}$
4層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$
コア基板の電源用の導体層の厚みの和: $80\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0067】

(実施例5)

図8を参照して上述した実施例1において、(6)の工程後、金属箔に回路形成を施し、金属箔表面に粗化处理を行った後、Bステージのプリプレグを介して銅箔を積層し、さらにコア基板を多層化した。この工程を繰り返す事で12層の多層コア基板とした。その後は、実施例1の(7)以降の工程を施した。各導体層の厚みは、以下のように設定した。

12層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$
12層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$
コア基板の電源用の導体層の厚みの和: $615\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0068】

(実施例6)

実施例5とはほぼ同様であるが、14層の多層コア基板とし、各導体層の厚みは、以下のように設定した。

16層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$
16層コア基板表層の電源用導体層の厚み: $15\ \mu\text{m}$
コア基板の電源用の導体層の厚みの和: $815\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0069】

(実施例7)

図8を参照して上述した実施例1と同様であるが以下のように設定した。

4層コア基板の内層の電源用導体層の厚み: $15\ \mu\text{m}$
4層コア基板表層の電源用導体層の厚み: $45\ \mu\text{m}$
コア基板の電源用の導体層の厚みの和: $60\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0070】

(実施例8)

図8を参照して上述した実施例1と同様であるが以下のように設定した。

4層コア基板の内層の電源用導体層の厚み: $15\ \mu\text{m}$
4層コア基板表層の電源用導体層の厚み: $65\ \mu\text{m}$
コア基板の電源用の導体層の厚みの和: $80\ \mu\text{m}$
層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0071】

(比較例 1)

図 8 を参照して上述した実施例 1 と同様であるが以下のように設定した。

4 層コア基板の内層の電源用導体層の厚み: $10\ \mu\text{m}$

4 層コア基板表層の電源用導体層の厚み: $10\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $20\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0072】

(比較例 2)

実施例 5 とほぼ同様であるが、16 層の多層コア基板とし、各導体層の厚みは、以下のよう設定した。

16 層コア基板の各内層の電源用導体層の厚み: $100\ \mu\text{m}$

16 層コア基板表層の電源用導体層の厚み: $40\ \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $840\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0073】

(比較例 3)

図 8 を参照して上述した実施例 1 において、コア基板を多層化する工程を除き同様に作製した。コア基板上の電源用導体層厚みと層間絶縁層の導体層の厚みは以下のように設定した。すなわち、内層に導体層を有しない両面のコア基板である。但し、コア基板の絶縁抵抗評価用パターンは、コア基板上の導体層に形成した。

コア基板上の電源用導体層厚み: $150\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0074】

(比較例 4)

図 8 を参照して上述した実施例 1 において、コア基板を多層化する工程を除き同様に作製した。コア基板上の電源用導体層厚みと層間絶縁層の導体層の厚みは以下のように設定した。但し、コア基板の絶縁抵抗評価用パターンは、コア基板上の導体層に形成した。

コア基板上の電源用導体層厚み: $160\ \mu\text{m}$

層間絶縁層上の導体層の厚み: $20\ \mu\text{m}$

【0075】

それぞれの実施例と比較例の基板に周波数 3.1 GHz の IC チップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量（複数発生する電圧降下のうち 3 回目に相当する降下量）を測定した。なお、IC において IC の電圧を直接測定することは出来ないため、プリント配線板上に測定可能な回路を形成して、IC の電圧を測定した。このときの電圧降下量での平均値を示した。電源電圧 1.0 V のときの変動した電圧降下量の平均値である。

また、それぞれの実施例と比較例の HAST 試験（85℃、湿度 85%、3, 3 V 印加）を行った。なお、被評価パターンは、コア基板に形成した絶縁抵抗評価用テストパターンである。試験時間は、115 hr で、規格は、115 時間後の絶縁抵抗値が $10^7\ \Omega$ 以上である。

また、実施例 3、4、7、8 は、プリント配線板作成中において、最小線間、線幅形成能力評価パターン（実施例 1 の（18）参照）の評価を行った。この結果を図 14 中に示す。図中で○はショートなし、×は隣り合う配線でショートがあったことを表している。

【0076】

様々な $\alpha 1/\alpha 2$ に対して、電圧降下量と HAST 後の絶縁抵抗の結果を図 13 に示す。HAST 試験後の結果は、規格以上が○、規格を下回ったものには×で記載した。また、様々な $\alpha 1/\alpha 2$ に対しての電圧降下量をグラフ化したものを図 15 に示す。

【0077】

図 13 の結果により、この場合、電源電圧 1.0 V のとき、変動許容範囲 $\pm 10\%$ であれば、電圧の挙動が安定していることになり、IC チップの誤動作などを引き起こさない

。つまり、この場合、電圧降下量が0.1V以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。つまり0.09V以下であれば、安定性が増すことになる。それ故に、(多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み)の比が1.0を越えるのが良いのである。さらに、 $1.2 \leq$ (多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み) ≤ 4.0 の範囲であれば、数値が減少傾向にあるため、その効果が得やすいということとなる。

しかしながら、その値が4.0を越えても、電圧降下量は減少しない。その値を超えると層間絶縁層のうねり等が発生するので、上述の範囲が適当である。

更に、 $4.0 <$ (多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み) ≤ 4.0 未満であれば、電圧降下量がほぼ同じであることから、安定しているということとなる。つまり、この範囲が、最も望ましい比率範囲であるということが言える。

しかしながら、(多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み)が上述の範囲であっても、コアを多層化せず一層のみの導体層を厚くした比較例3、4は、コア基板の絶縁信頼性が実施例よりも劣っていて規格を満足していなかった(図13参照)。このことから、コアを多層化して電源用の導体層の厚みの和を上述の範囲にすることで、高周波のICを搭載しても誤動作が発生せず、絶縁信頼性に優れたプリント配線板とすることができることがわかる。

なお、比較例3、4のコア基板の絶縁性評価用テストパターンを解析したところ、線間の間隔が狭くなっていた。これが原因で比較例3、4の絶縁抵抗は規格を下回った。また、図14の実施例3、4と実施例7、8の比較により多層コア基板の表裏の導体層の厚みが内層の導体層の厚みより薄い方がよいこともわかる。これは、表裏に厚い導体層を形成すると、その影響で層間剤がうねってしまうため、層間絶縁層上に微細な配線を形成できないからである。

【図面の簡単な説明】

【0078】

【図1】本発明の実施例1の多層プリント配線板を製造方法を示す工程図である。

【図2】実施例1の多層プリント配線板を製造方法を示す工程図である。

【図3】実施例1の多層プリント配線板を製造方法を示す工程図である。

【図4】実施例1の多層プリント配線板を製造方法を示す工程図である。

【図5】実施例1の多層プリント配線板を製造方法を示す工程図である。

【図6】実施例1の多層プリント配線板を製造方法を示す工程図である。

【図7】実施例1の多層プリント配線板を製造方法を示す工程図である。

【図8】実施例1に係る多層プリント配線板の断面図である。

【図9】実施例1に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図10】ICチップの動作中における電圧変化を示したグラフである。

【図11】ICチップの動作中における電圧変化を示したグラフである。

【図12】ICチップの動作中における電圧変化を示したグラフである。

【図13】実施例と比較例との試験結果を示す図表である。

【図14】実施例の最小線間、線幅形成能力評価パターンの評価結果を示す図表である。

【図15】 $\alpha 1 / \alpha 2$ に対する電圧降下量のグラフである。

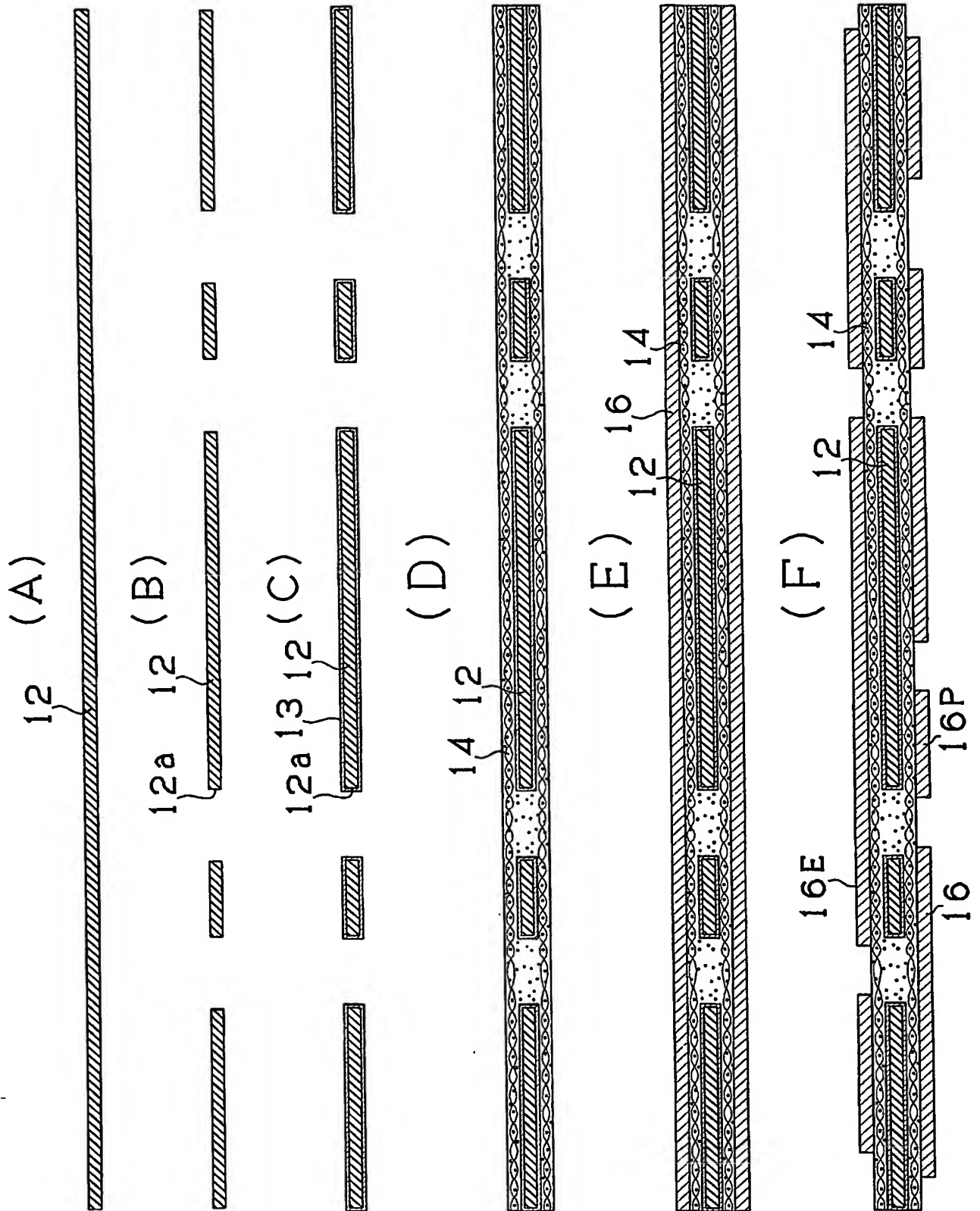
【符号の説明】

【0079】

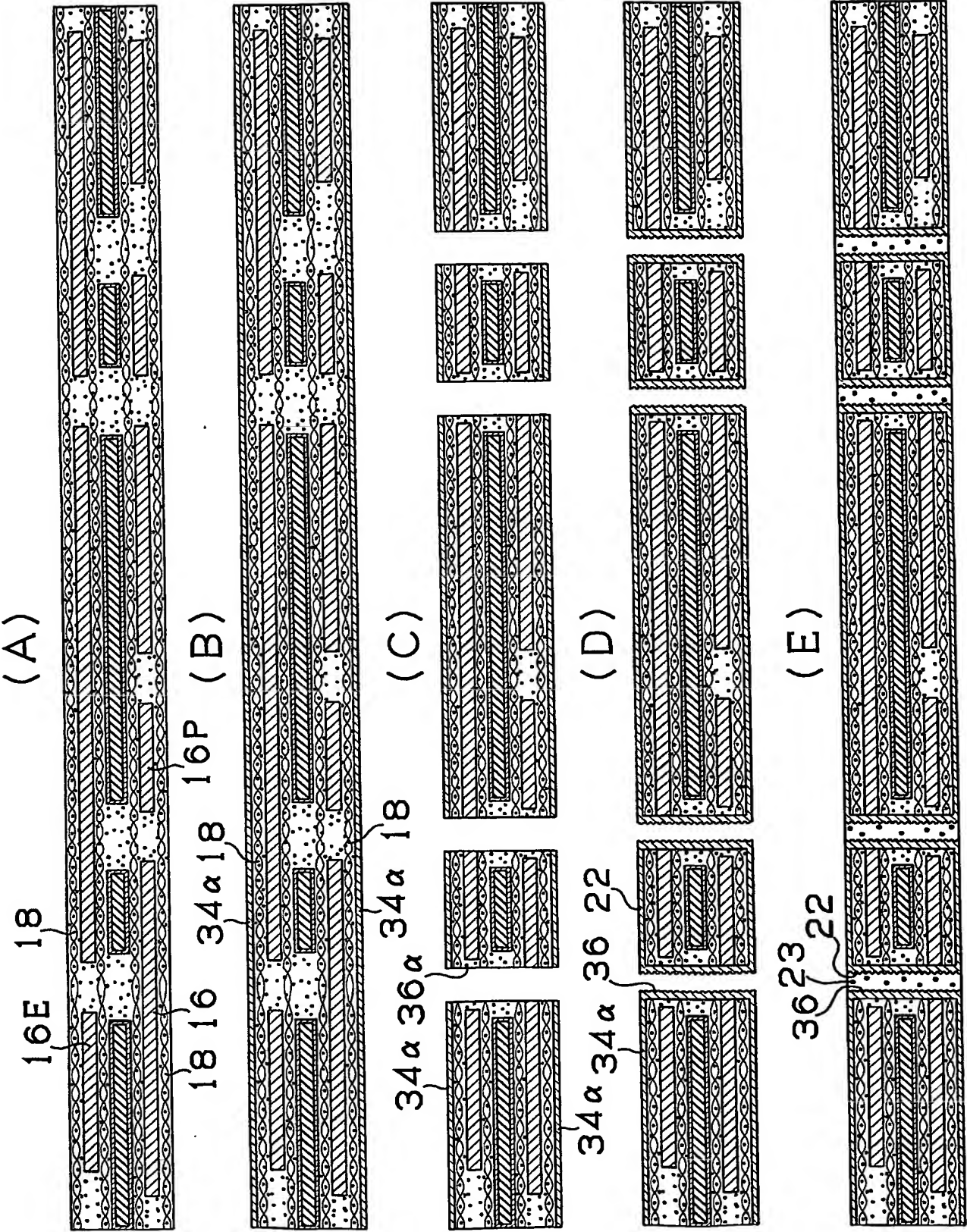
- 12 金属層(金属板)
- 14 樹脂層
- 16 導体回路
- 16P 導体層
- 16E 導体層
- 18 樹脂層

3 0 基板
 3 2 銅箔
 3 4 導体回路
 3 4 P 導体層
 3 4 E 導体層
 3 6 スルーホール
 4 0 樹脂充填層
 5 0 層間樹脂絶縁層
 5 8 導体回路
 6 0 バイアホール
 7 0 ソルダーレジスト層
 7 1 開口
 7 6 U、7 6 D 半田バンプ
 9 0 I Cチップ
 9 4 ドータボード
 9 8 チップコンデンサ

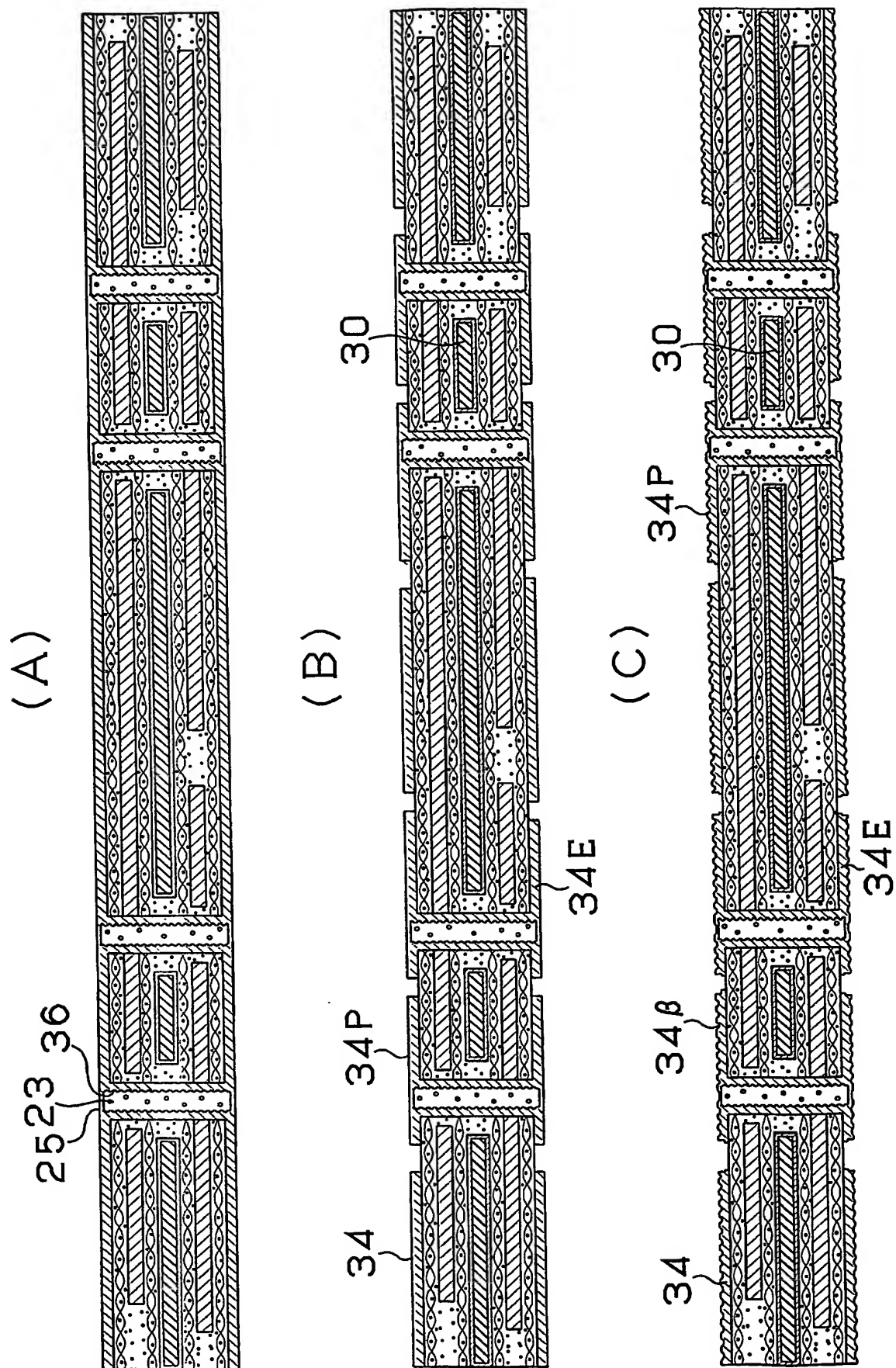
【書類名】 図面
【図 1】



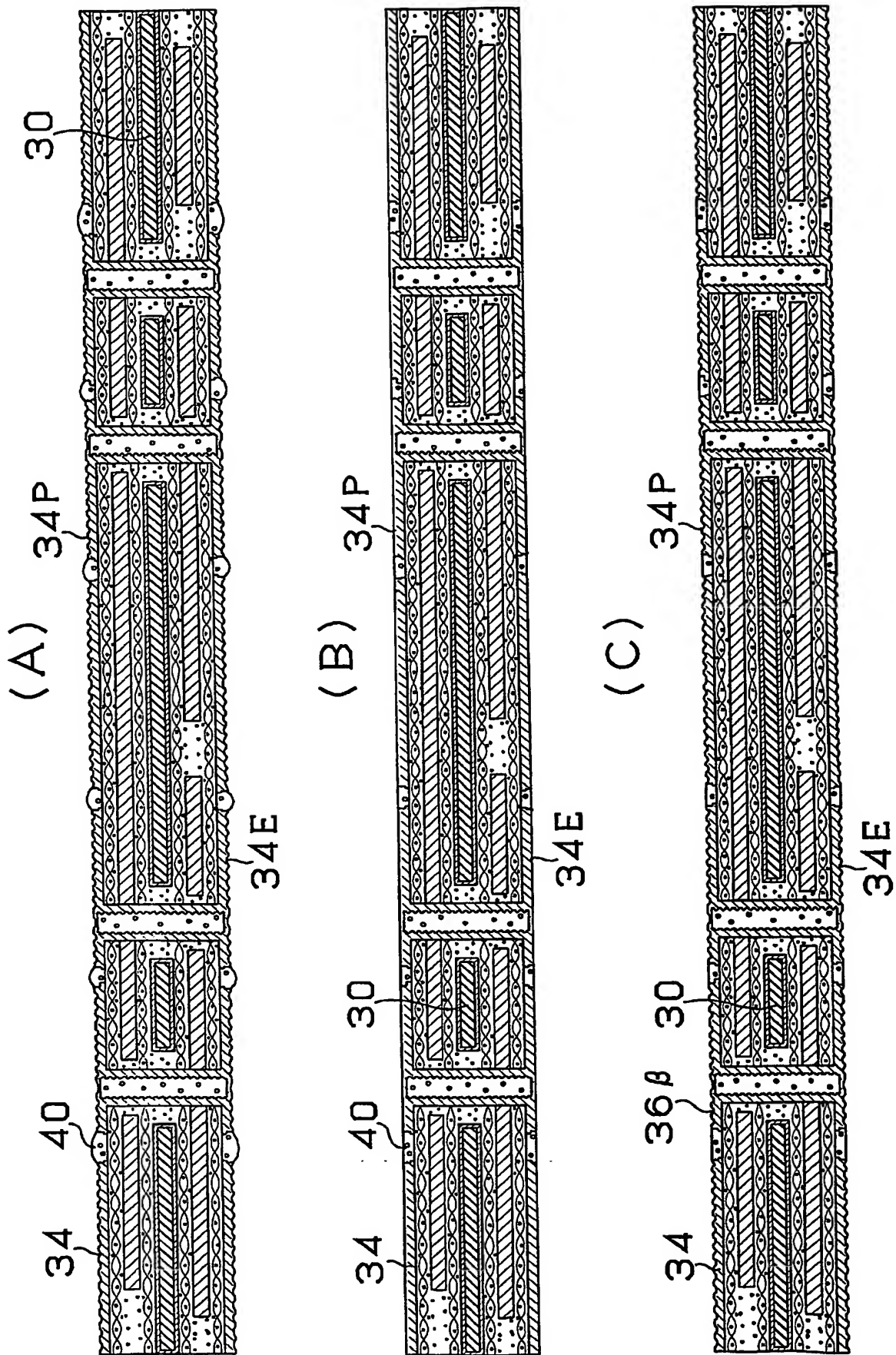
【図 2】



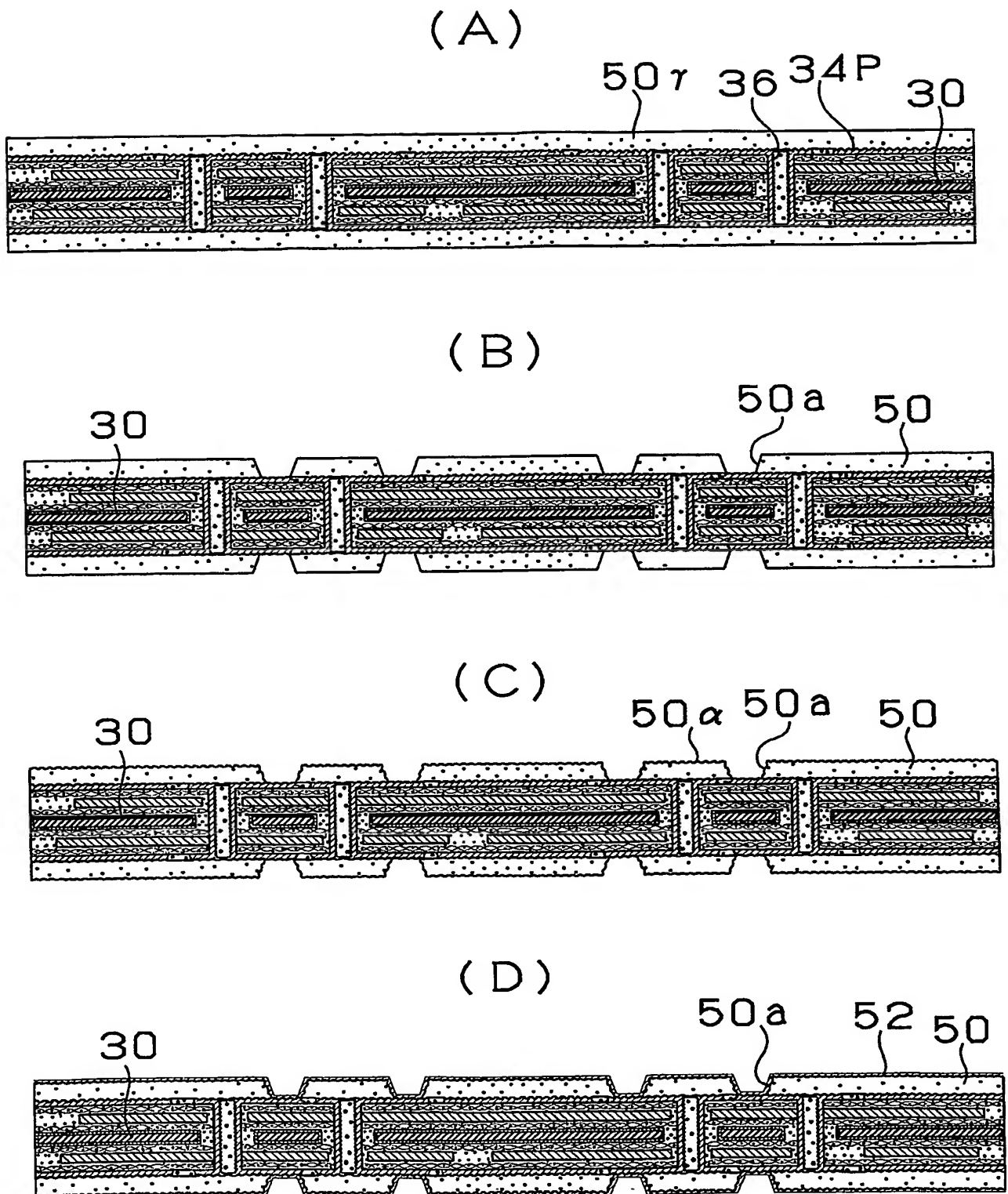
【図 3】



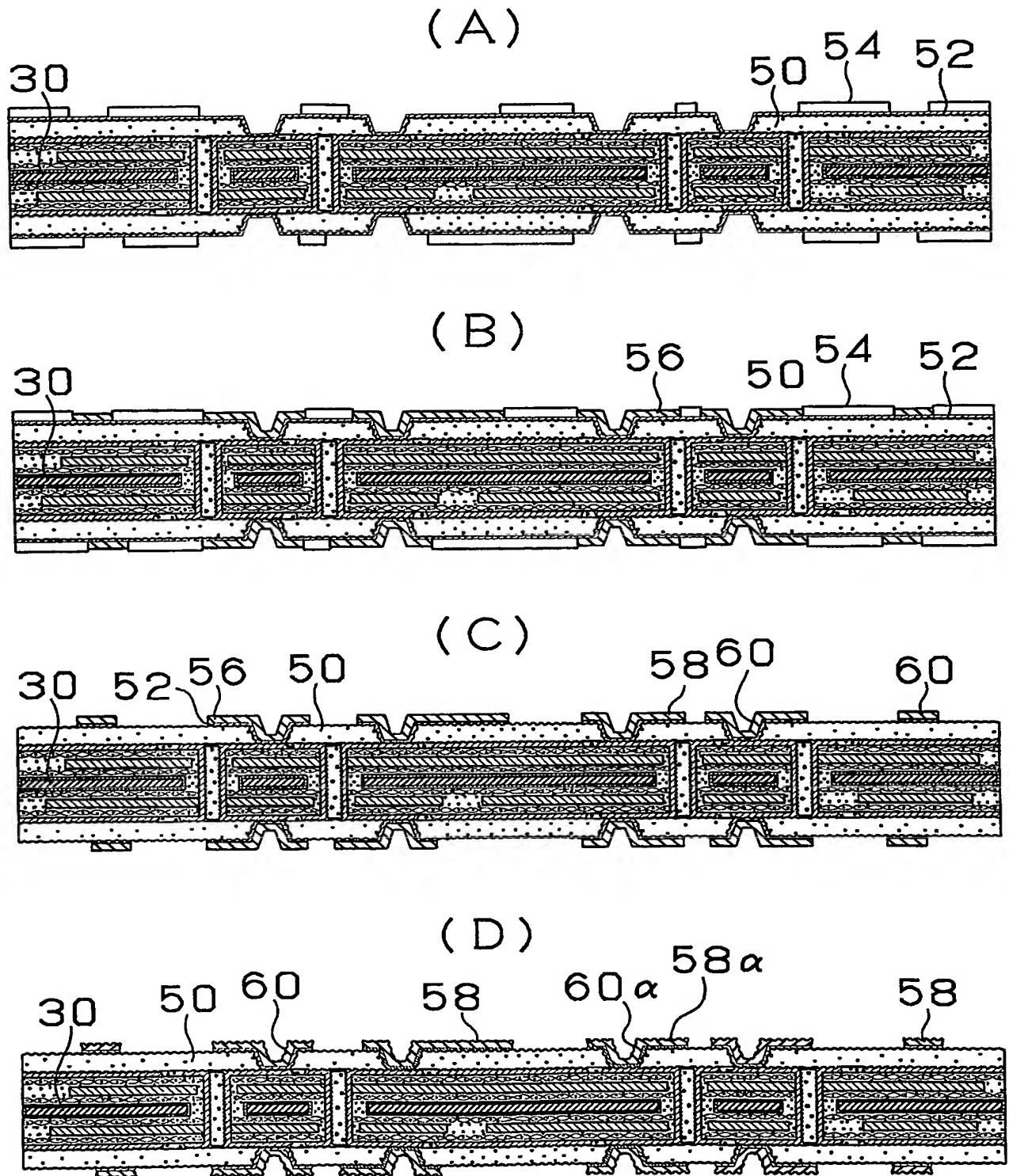
【図 4】



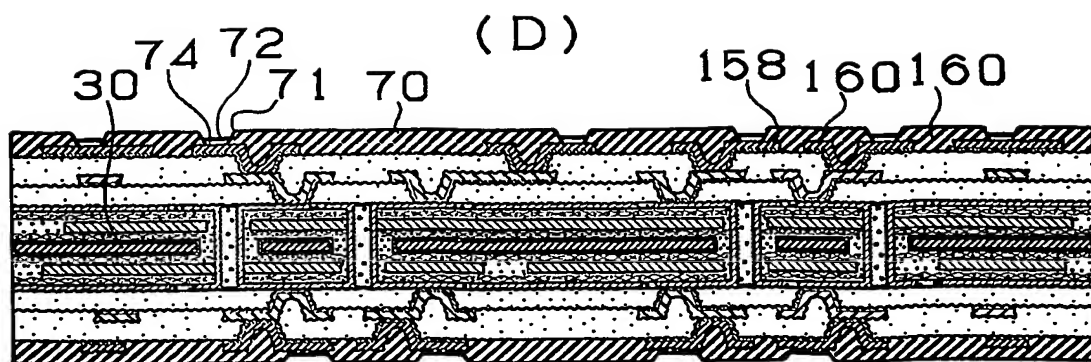
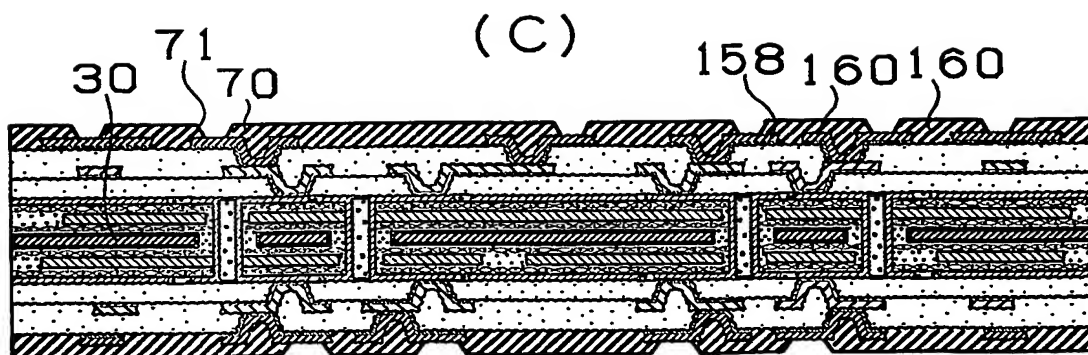
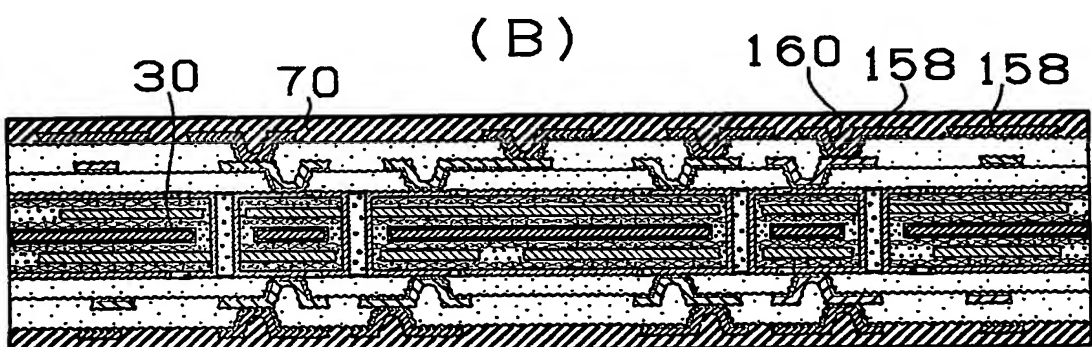
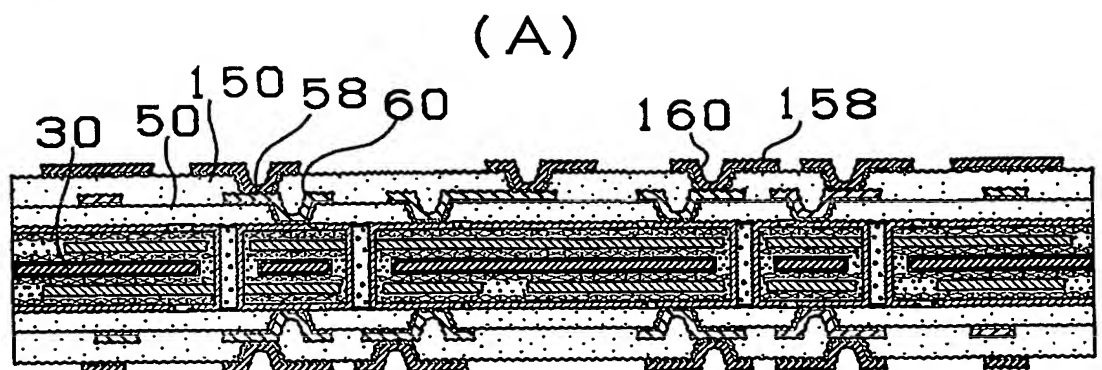
【図 5】



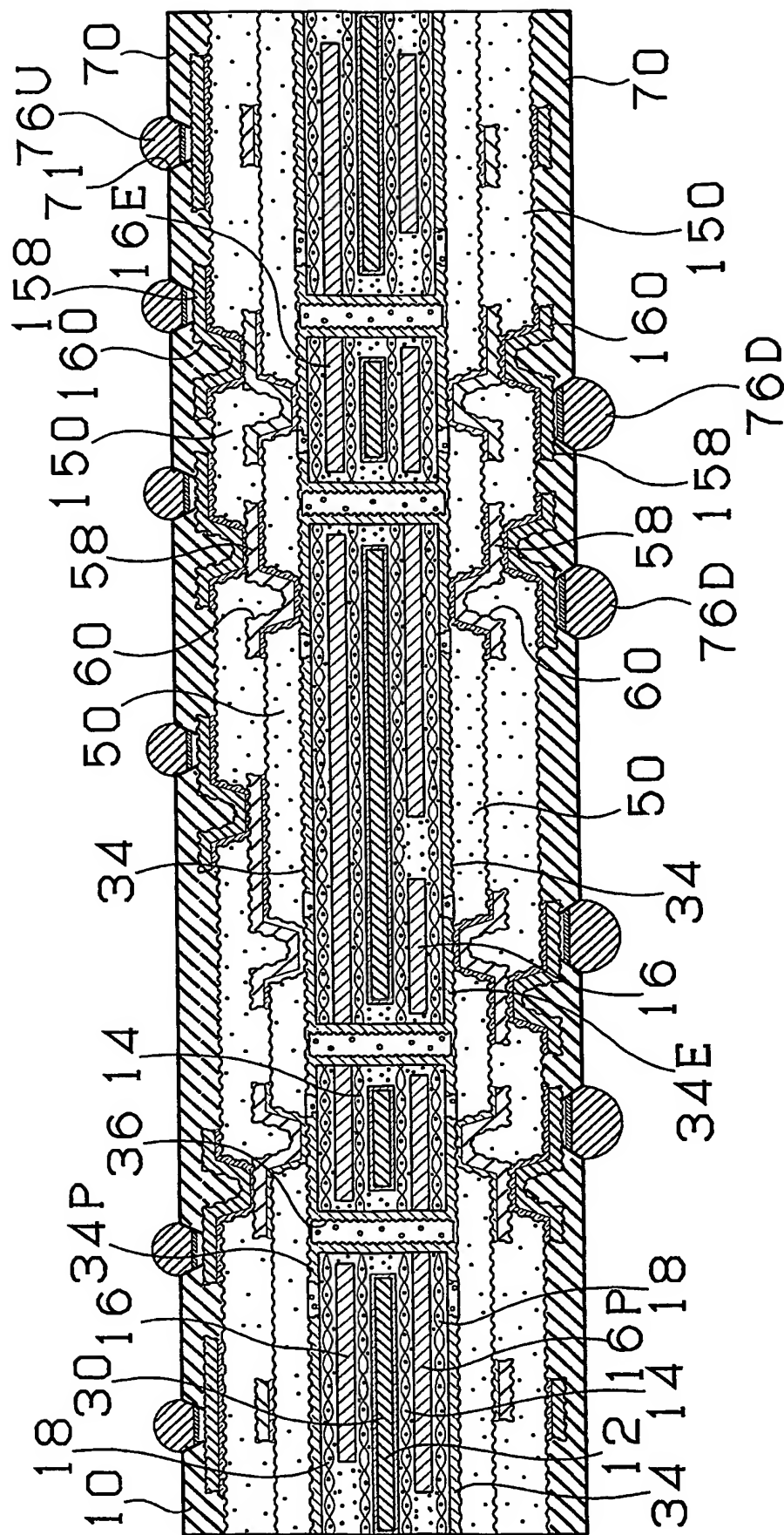
【図 6】



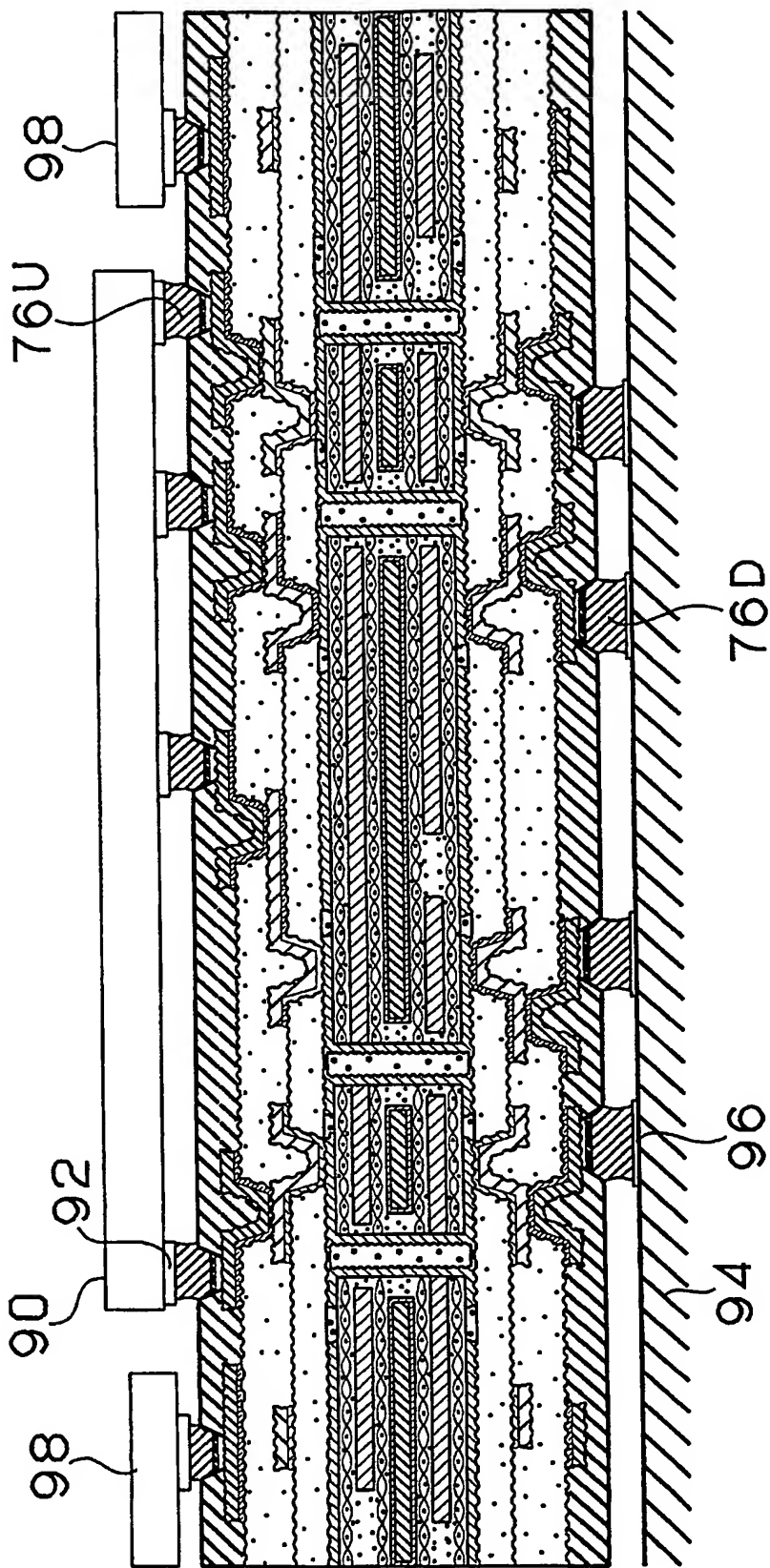
【図7】



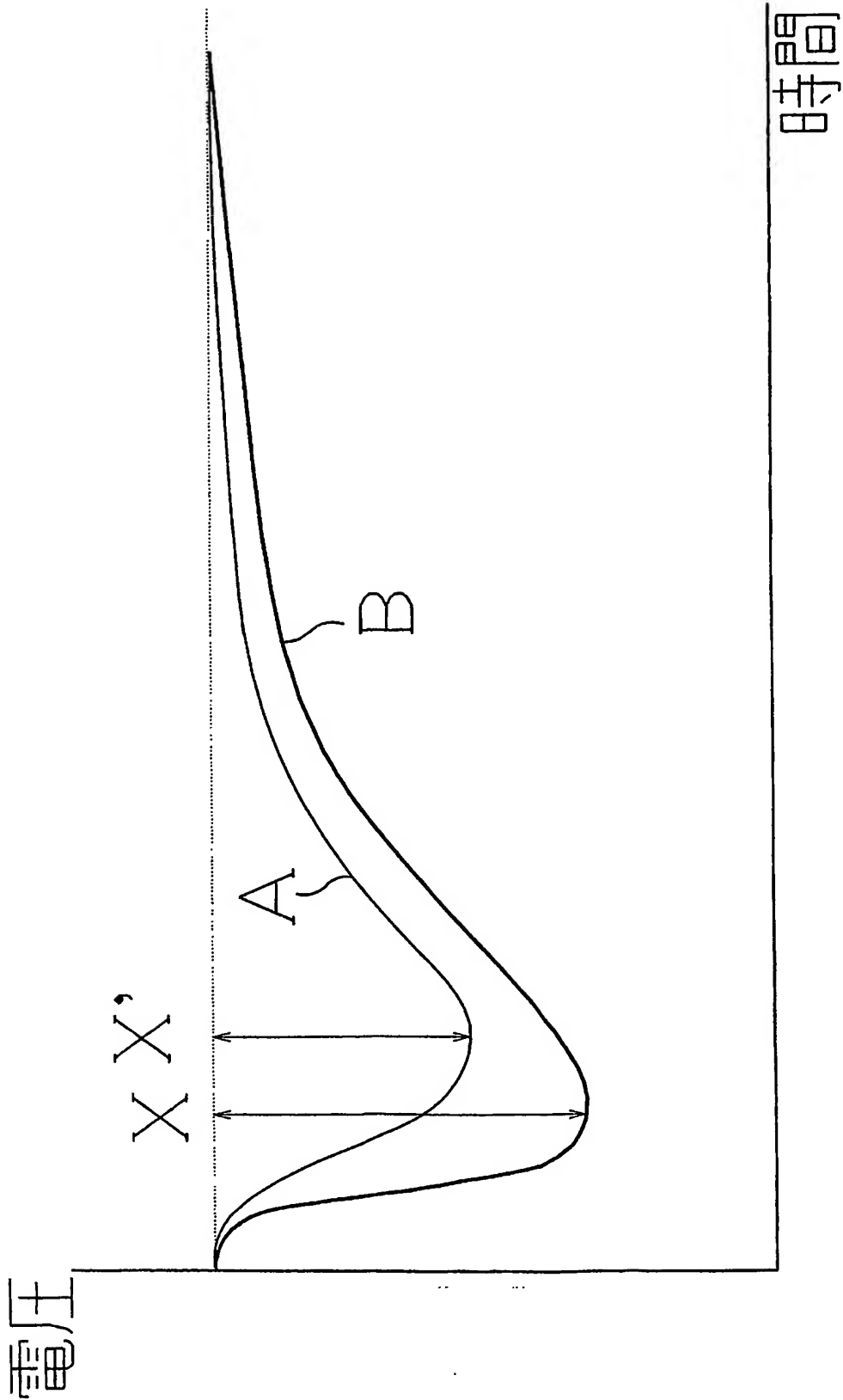
【図8】



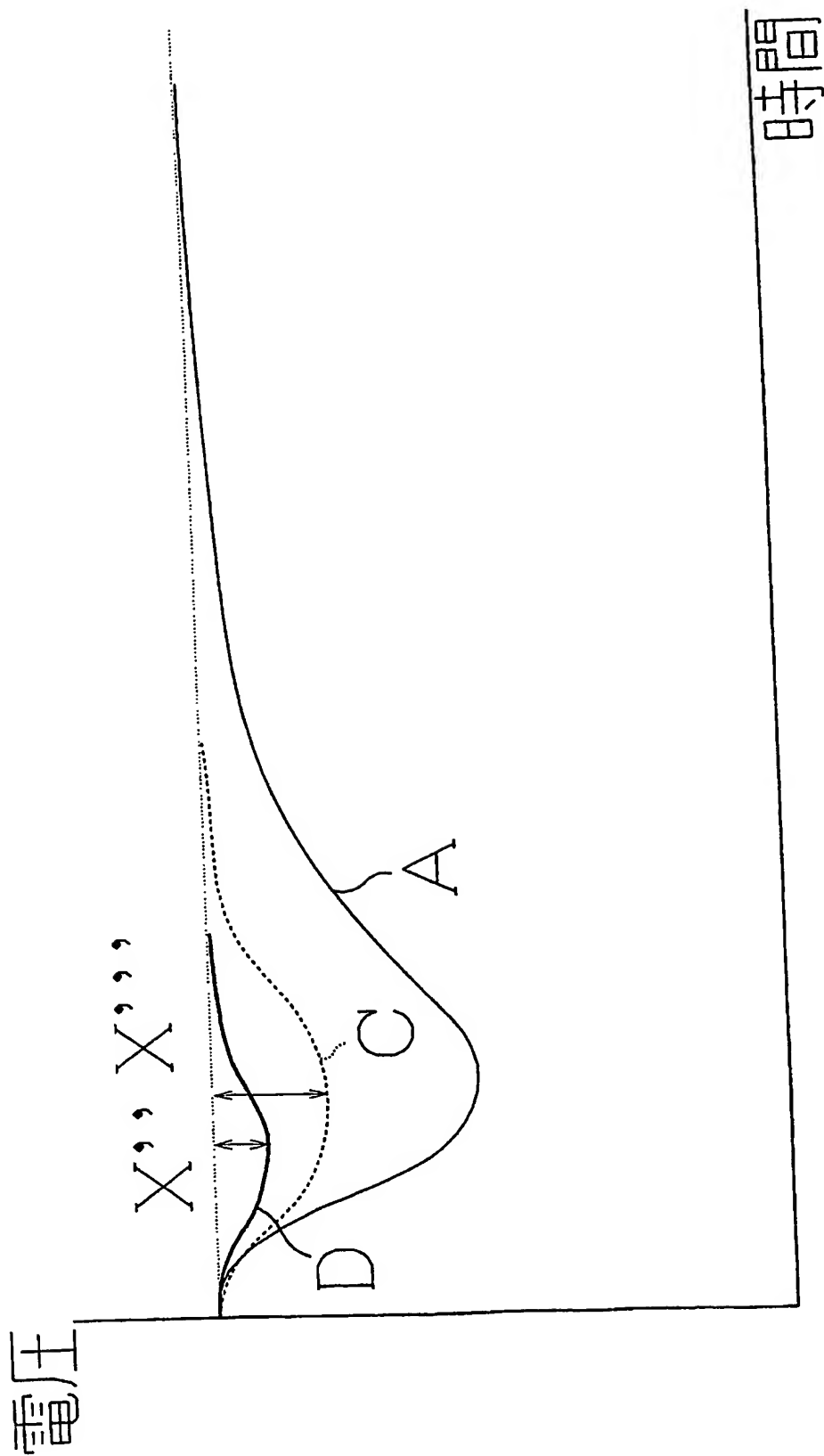
【図 9】



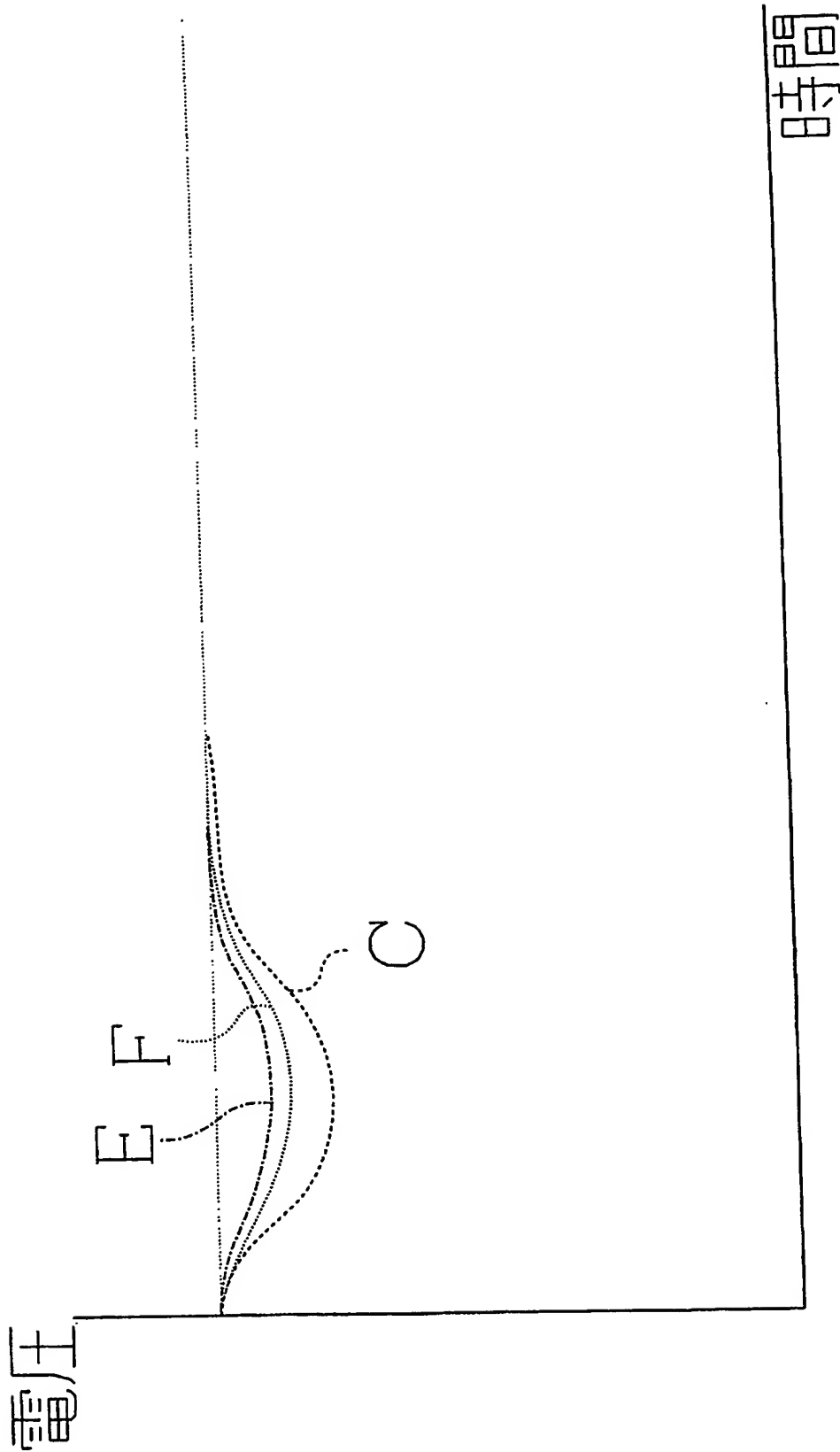
【図 10】



【図 11】



【図 12】



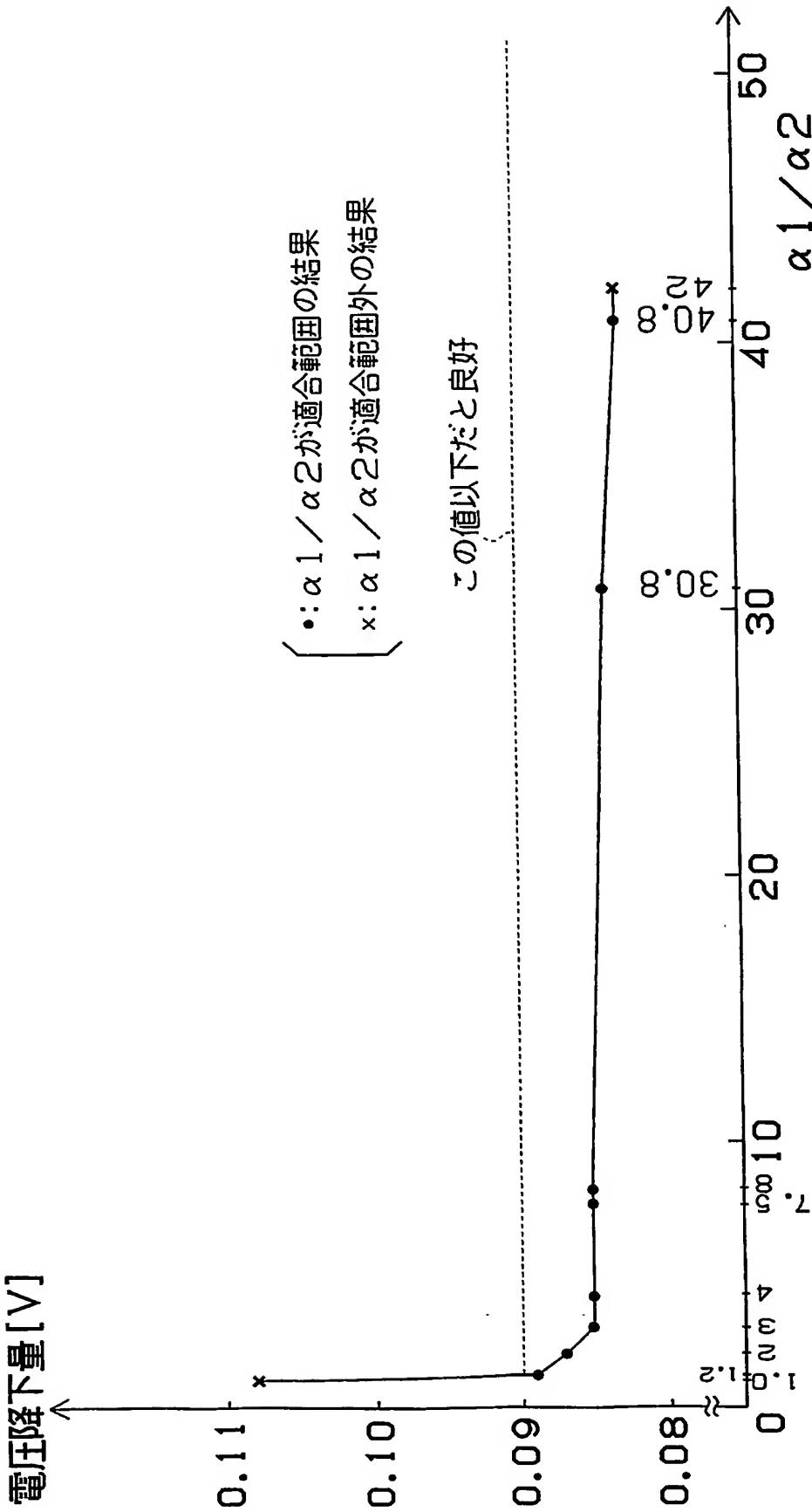
【図 13】

	$\alpha 1/\alpha 2$	層間絶縁層上の 導体層の厚み (μm)	コア基板の表層の 電源層の厚み (μm)	コア基板の内層の 電源層の厚み (μm)	コアの電源層の 和の厚み (μm)	電圧降下量 (V)	HAST試験後の 結果
実施例1	2.0	20	15	25	40	0.087	○
実施例2	1.2	20	9	15	24	0.089	○
実施例3	3.0	20	15	45	60	0.085	○
実施例4	4.0	20	15	65	80	0.085	○
実施例5	30.8	20	15	100	615	0.084	○
実施例6	40.8	20	15	100	815	0.083	○
実施例7	3.0	20	45	15	60	0.087	○
実施例8	4.0	20	65	15	80	0.086	○
比較例1	1.0	20	10	10	20	0.108	○
比較例2	42	20	40	100	840	0.083	○
比較例3	7.5	20	150	なし	150	0.085	×
比較例4	8	20	160	なし	160	0.085	×

【図 1 4】

#	導体幅／導体間の間隔(μm)				
	5／5	7.5／7.5	10／10	12.5／12.5	15／15
実施例3	○	○	○	○	○
実施例4	○	○	○	○	○
実施例7	×	×	○	○	○
実施例8	×	×	○	○	○

【図 15】



【書類名】 要約書**【要約】**

【課題】 高周波領域の IC チップ、特に 3 GHz を越えても誤動作やエラーの発生しないパッケージ基板を提供する。

【解決手段】 コア基板 30 上の導体層 34 P を厚さ $30\ \mu\text{m}$ に形成し、層間樹脂絶縁層 50 上の導体回路 58 を $15\ \mu\text{m}$ に形成する。導体層 34 P を厚くすることにより、導体自体の体積を増やすし抵抗を低減することができる。更に、導体層 34 を電源層として用いることで、IC チップへの電源の供給能力を向上させることができる。

【選択図】 図 8

認定・付加情報

特許出願の番号	特願 2004-029201
受付番号	50400189611
書類名	特許願
担当官	第四担当上席 0093
作成日	平成16年 2月 6日

<認定情報・付加情報>

【提出日】 平成16年 2月 5日

特願 2 0 0 4 - 0 2 9 2 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 1 5 8]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

岐阜県大垣市神田町 2 丁目 1 番地

氏 名

イビデン株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001610

International filing date: 03 February 2005 (03.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-029201
Filing date: 05 February 2004 (05.02.2004)

Date of receipt at the International Bureau: 31 March 2005 (31.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse